

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平5-284765

(43) 公開日 平成 5 年(1993)10月29日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 2 N 10/00		8525-5H		
G 1 1 B 9/00		9075-5D		
// H 0 1 L 29/84		A 8518-4M		

審査請求 未請求 請求項の数11(全 22 頁)

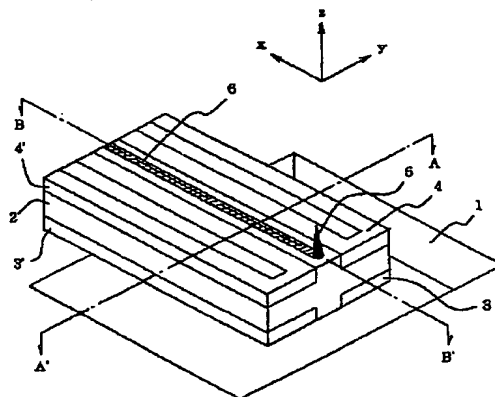
(21) 出願番号	特願平4-103796	(71) 出願人	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成4年(1992)3月31日	(72) 発明者	中山 優 東京都大田区下丸子3丁目30番2号 キヤ ノン株式会社内
		(72) 発明者	高松 修 東京都大田区下丸子3丁目30番2号 キヤ ノン株式会社内
		(72) 発明者	島田 康弘 東京都大田区下丸子3丁目30番2号 キヤ ノン株式会社内
		(74) 代理人	弁理士 豊田 善雄 (外1名) 最終頁に続く

(54) 【発明の名称】 カンチレバー型変位素子、及びこれを用いたカンチレバー型プローブ、及びこのカンチレバー型プローブを用いた走査型トンネル顕微鏡並びに情報処理装置

(57) 【要約】

【目的】 信頼性の高いカンチレバー型変位素子、及びカンチレバー型プローブ、さらには、これらを用いた走査型トンネル顕微鏡並びに情報処理装置を提供する。

【構成】 非導電体層からなるカンチレバーの支持体の上下面に、左右に分割された発熱体層を設け、熱駆動を行うカンチレバー型変位素子は、カンチレバーの反りや、特性の変化が少なく、機械的強度や耐久性を高めることができ、これを用いたカンチレバー型プローブは信頼性の高い検出素子となる。また、上記カンチレバー型プローブを用いた走査型トンネル顕微鏡、情報処理装置は、高速処理が可能で、かつ信頼性の高い装置となる。



1 シリコン層  
2 カンチレバーの支持体  
3, 3', 4, 4' 発熱体層  
5 プローブ  
6 引き出し電極

## 【特許請求の範囲】

【請求項1】 基板上に片持ち梁状に形成された変位素子において、該変位素子は、少なくとも1つの非導電体層と複数の発熱体層からなり、該発熱体層の熱駆動により変位することを特徴とするカンチレバー型変位素子。

【請求項2】 発熱体層が非導電体層の上下面に設けられ、かつ、これらの発熱体層が分割されていることを特徴とする請求項1記載のカンチレバー型変位素子。

【請求項3】 発熱体層が非導電体層内に埋め込まれていることを特徴とする請求項1記載のカンチレバー型変位素子。

【請求項4】 請求項3記載のカンチレバー型変位素子に、静電力によって基板面と垂直な方向に変位させるための電極を設けたことを特徴とするカンチレバー型変位素子。

【請求項5】 圧電体膜と、該圧電体膜を逆圧電効果により変位させるための電極とでなる変位素子において、該変位素子は、半導体基板上にヒンジにより支持された片持ち梁状に形成され、圧電効果により該基板面と垂直な方向に変位し、また、別に設けられた静電駆動用電極により、該基板面内方向に変位することを特徴とするカンチレバー型変位素子。

【請求項6】 請求項1～5のいずれかに記載のカンチレバー型変位素子の自由端部に、情報出力用の探針を設けたことを特徴とするカンチレバー型プローブ。

【請求項7】 基板上に片持ち梁状に形成された変位素子において、該変位素子の自由端部は、角を有する形状で、かつ、該基板表面と反対方向に傾斜して形成されており、前記自由端部の先端部をプローブとしたことを特徴とするカンチレバー型プローブ。

【請求項8】 プローブの材料が金属または金属合金であることを特徴とする請求項7記載のカンチレバー型プローブ。

【請求項9】 請求項6～8のいずれかに記載のカンチレバー型プローブを、同一基板上に複数配置したことを特徴とする集積化カンチレバー型プローブ。

【請求項10】 請求項6～9のいずれかに記載のカンチレバー型プローブを用いたことを特徴とする走査型トンネル顕微鏡。

【請求項11】 トンネル電流を用いて記録媒体に対して情報の記録、再生、消去を行なう情報処理装置において、請求項6～9のいずれかに記載のカンチレバー型プローブを用いたことを特徴とする情報処理装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、トンネル電流検出装置や走査型トンネル顕微鏡等に用いられるカンチレバー（片持ちばり）状変位素子、及びこれを用いたカンチレバー型プローブに関する。

【0002】 さらには、上記カンチレバー型プローブを

備えた走査型トンネル顕微鏡、及び走査型トンネル顕微鏡の手法により情報の記録、再生、消去等を行なう情報処理装置に関する。

## 【0003】

【従来の技術】 近年において、導体の表面原子の電子構造を直接観測できる走査型トンネル顕微鏡（以下、STMと略す）が開発され（G. Binnig et al., Phys. Rev. Lett. 49 (1982) 57）、半結晶、非結晶を問わず実空間像を著しく高い分解能（ナノメートル以下）で測定できるようになった。かかるSTMは、金属のプローブ（探針）と導電性物質の間に電圧を加えて、1nm程度の距離まで近づけると、その間にトンネル電流が流れることを利用している。この電流は両者の距離変化に非常に敏感でかつ指数関数的に変化するので、トンネル電流を一定に保つようにプローブを走査することにより実空間の表面構造を原子オーダーの分解能で観察することができる。このSTMを用いた解析は導電性材料に限られるが、導電性材料の表面に薄く形成された絶縁膜の構造解析にも応用され始めている。更に、上述の装置、手段は微小電流を検知する方法を用いているため、媒体に損傷を与えず、かつ低電力で観測できる利点をも有する。また、大気中での動作も可能であるためSTMの広範囲な応用が期待されている。特に、特開昭63-161552号公報、特開昭63-161553号公報等に提案されているように、高密度な記録再生装置としての実用化が積極的に進められている。これは、STMと同様のプローブを用いて、プローブと記録媒体間に印加する電圧を変化させて記録を行うもので有り、記録媒体としては、電圧-電流特性においてメモリ性の有るスイッチング特性を示す材料、たとえばカルコゲン化合物類、 $\pi$ 電子系有機化合物の薄膜層を用いている。一方、再生については、記録を行った領域とそうでない領域のトンネル抵抗の変化により行っている。この記録方式を用いる記録媒体としては、プローブに印加する電圧により記録媒体の表面形状が変化するものでも記録再生が可能で有る。

【0004】 さらに、記録再生システムの機能向上、特に高速化の観点から多数のプローブを選択的に駆動し、トンネル電流を検知することが必要となる。そのために、各プローブ自身が少なくとも二次元的に動かなくてはならない。それをみたすプローブとして、シリコン基板を加工することにより圧電体バイモルフからなるカンチレバー型のSTMプローブが作製されている。（T. R. Albrecht et al., "Microfabrication of Integrated Scanning Tunneling Microscope", Proceedings of 4th International Conference on STM/STS S10-2 July 9-14, 1989）。図20はその斜視図を示す。圧電体2

3

01と電極202は各々ZnO、Alで構成されている。各電極間に適当なバイアスをかけることにより図21の(a)、(b)、(c)に示す様にX、Y、Z軸方向の駆動が可能である。

【0005】また、カンチレバー型プローブの形成手段として、半導体製造プロセス技術を用い、1つの基板上に微細な構造を作る加工技術(K. E. Peterson, "Silicon as a Mechanical Material", Proceedings of the IEEE, vol 70, P420, 1982)を利用して構成したSTMが、特開昭61-206148号公報に提案されている。これは単結晶シリコンを基板として、微細加工により基板面と平行な方向(XY方向)に微動できる平行バネを形成し、更にその可動部にプローブを形成したカンチレバー(片持ち梁)構造の舌状部を設け、該舌状部と底面部との間に電界を与え静電力により基板表面と直角な方向(Z方向)に変位するように構成されている。また、特開昭62-281138号公報には、特開昭61-206148号公報に開示されたのと同様の舌状部をマルチに配列した変換器アレイを備えた記憶装置が記載されている。また、シリコン基板を加工することにより圧電体バイモルフからなるカンチレバー型のSTMプローブが作製されている。

(S. AKAMINE, et al. "A Planar Process for Microfabrication of Scanning Tunneling Microscope", Sensors and Actuators, A21-A23 (1990) 964-970.)

【0006】

【発明が解決しようとしている課題】しかしながら、従来例の圧電体バイモルフからなるカンチレバー型プローブは以下のような問題点を有していた。

(イ) 圧電体ZnOは空気中の水分等を吸収し特性が変化あるいは劣化する。又、PZT等の圧電体は成膜あるいは熱処理のために500℃以上の温度を必要とするため、ICと一体化したプローブの作製には不向きである。

(ロ) 圧電体ZnO、PZT等は柱状構造のためその薄膜は機械的特性が低いため耐久性が低い。

(ハ) 圧電体ZnO、PZT等の圧電性を高めると内部応力が増大するため、カンチレバーのソリが増大し、又そのばらつきも増大する。

(ニ) Y方向の変位量を大きく取ることができない。また、Y方向のバイモルフ駆動に捻じれが生じ易い。

【0007】また、半導体製造プロセス技術を用いた、従来のカンチレバー型プローブでは以下の問題点を有していた。

(ホ) 単結晶シリコンを用い異方性エッチングによりプローブを形成する場合、プローブのマルチ化は容易だが

4

材料がシリコンに限定されてしまう。そのためドーブされたシリコンをプローブに用いた場合には、シリコンが酸化されやすいことから、大気中では再現性の良い安定な特性を得ることは困難であった。更に、シリコンプローブ上に導電性材料を被覆して形成する場合には、プローブの最先端部は鋭利に形成されているため、被覆されにくく安定な特性を得ることは難しかった。

(ヘ) プローブを斜め蒸着及びリフトオフ法を用いて形成する場合には、プローブのマルチ化は容易で、材料の制限も少ないが、作製工程が複雑で長くなるため製造コストが高くなるという問題があった。更に電極上にプローブを形成していることから製造工程中や情報処理装置での操作中にプローブが取れてしまう場合があった。

【0008】そこで、本発明の目的は、上記従来例の問題点に鑑みなされたもので、カンチレバー型プローブの生産性、再現性を向上させ、かつ信頼性、安定性に優れた走査型トンネル顕微鏡、情報処理装置を提供することにある。

【0009】

【課題を解決するための手段及び作用】上記課題は、以下に述べる本発明によって解決される。

【0010】即ち、本発明の第1は、基板上に片持ち梁状に形成された変位素子において、該変位素子は、少なくとも1つの非導電体層と複数の発熱体層からなり、該発熱体層の熱駆動により変位することを特徴とするカンチレバー型変位素子であり、好ましくは、上記発熱体層が上記非導電体層の上下面に設けられ、かつ、これらの発熱体層が分割されていることを特徴とする上記カンチレバー型変位素子であり、さらには上記発熱体層が上記非導電体層内に埋め込まれていることを特徴とする上記カンチレバー型変位素子であり、好ましくは、このカンチレバー型変位素子に、さらに静電力によって基板面と垂直な方向に変位させるための電極を設けたことを特徴とするカンチレバー型変位素子である。

【0011】本発明の第2は、圧電体膜と、該圧電体膜を逆圧電効果により変位させるための電極とでなる変位素子において、該変位素子は、半導体基板上にヒンジにより支持された片持ち梁状に形成され、圧電効果により該基板面と垂直な方向に変位し、また、別に設けられた静電駆動用電極により、該基板面内方向に変位することを特徴とするカンチレバー型変位素子である。

【0012】本発明の第3は、上記本発明第1あるいは第2のカンチレバー型変位素子の自由端部に、情報入出力用の探針を設けたことを特徴とするカンチレバー型プローブである。

【0013】本発明の第4は、基板上に片持ち梁状に形成された変位素子において、該変位素子の自由端部は、角を有する形状で、かつ、該基板表面と反対方向に傾斜して形成されており、前記自由端部の先端部をプローブとしたことを特徴とするカンチレバー型プローブであ

り、好ましくは、上記プローブの材料が金属または金属合金であることを特徴とする上記カンチレバー型プローブである。

【0014】本発明の第5は、上記本発明第3あるいは第4のカンチレバー型プローブを、同一基板上に複数配置したことを特徴とする集積化カンチレバー型プローブである。

【0015】本発明の第6は、上記本発明第3～第5のいずれかのカンチレバー型プローブを用いたことを特徴とする走査型トンネル顕微鏡である。

【0016】本発明の第7は、トンネル電流を用いて記録媒体に対して情報の記録、再生、消去を行なう情報処理装置において、上記本発明第3～第5のいずれかのカンチレバー型プローブを用いたことを特徴とする情報処理装置である。

【0017】次に本発明を図を用いて説明する。

【0018】図1は本発明第1のカンチレバー型変位素子を用いたカンチレバー型プローブの一例を示す斜視図である。これは、Si基板を用いた通常のICプロセス技術とSi異方性エッチング技術を用いて作製したものである。図2(a)は図1のA-A'断面図であり、図2(b)はB-B'断面図である。Si基板1に一端を固定されたカンチレバーがあり、そのカンチレバーはノン  
ドープPolysilよりなる支持体2と発熱体層3、3'、4、4'で形成されている。発熱体層はドー  
プトPolysilでありpタイプあるいはnタイプの導電型を持つ。更にこのカンチレバー上にはトンネル電流を検知するプローブ5とその電流を取り出す電極6が形成されている。また、図示されていないがSi基板1と同一面上に選択的にカンチレバーを駆動しトンネル電流を検知・増幅する回路も配置されている。発熱体層3、3'、4、4'の電流制御によりカンチレバーの支持体2が部分的にX軸方向に伸縮するため、従来の圧電  
ピエゾモルフと同様に図1のX、Y、Z軸に駆動することが可能である。すなわち、図1のように、発熱体層3、3'、4、4'がカンチレバーの支持体2に対して対称に構成されているので、例えば全発熱体層に同一電流を流すことによってX軸方向に、また発熱体層3、4のみに電流を流せばY軸方向に、また発熱体層3、3'のみに流せばZ軸方向に駆動することができる。

【0019】また、図3は本発明第1のカンチレバー型変位素子を用いたカンチレバー型プローブの他の例を示す斜視図である。これも、Si基板を用いた通常のICプロセス技術を用いて作製したものである。図4(a)は図3のA-A'断面図であり、図4(b)はB-B'断面図である。Si基板1にSiO<sub>2</sub>層31を介して一端を固定されたカンチレバーがあり、そのカンチレバーはノン  
ドープPolysilよりなる支持体2と発熱体層3、3'で形成されている。発熱体層はドー  
プトPolysilでありpタイプあるいはnタイプの導電型を持

つ。更に、このカンチレバー上にはトンネル電流を検知するプローブ5とその電流を取り出す電極6が形成されている。又、支持体層2の下面には電極層32が設けて有り、Si基板1上の電極33とギャップを隔てて対向している。図示されていないがSi基板1と同一面上に選択的にカンチレバーを駆動しトンネル電流を検知・増幅する回路も配置されている。

【0020】発熱体層3、3'の電流制御によりカンチレバーの支持体2が部分的に図3のX軸方向に伸縮するため、Y軸方向に駆動することが可能である。次に、カンチレバーの下面電極32とそれと対向してあるSi基板1上の電極33の間に適当なバイアスを印加すると電極間の静電力により、Z軸方向に駆動することが可能となる。

【0021】図1あるいは図3に示したような、本発明第1のカンチレバー型変位素子を用いたカンチレバー型プローブでは、圧電体膜を用いていないため、空気中の水分等の吸収による特性の変化あるいは劣化が発生しない。また、従来の圧電体膜のような柱状構造を有しないため、機械的強度や耐久性を高くすることが可能である。さらには、素子形成時の内部応力が減少し、カンチレバーの反りを低減することができる。

【0022】図5は本発明第2のカンチレバー型変位素子を用いたカンチレバー型プローブの一例を示す斜視図である。図6(a)は図5のA-A'断面図であり、図6(b)はB-B'断面図である。ヒンジ51で単結晶シリコン基板1に支持されたシリコン梁52に接して圧電体ユニモルフ梁53が配置され、その先端部にトンネル電流用プローブ5が作製されている。また図示していないが、Si基板上にシリコン梁52と圧電体梁53の駆動用回路及びトンネル電流の信号処理回路等のICが搭載されている。

【0023】圧電体梁53上には、圧電体54の支持層55及び圧電体54に電圧を印加するための下電極56a、上電極56bが積層されている。この構成によりユニモルフ圧電素子として圧電体梁53を動作させ、トンネル電流用プローブ5をZ軸方向に駆動することができる。シリコン梁52に対向するSi基板部分には左右電極57が作製されている。この左右電極57に電圧をかけることによって、シリコン梁52を動作させ、トンネル電流用プローブ5をY軸方向に駆動することができる。

【0024】Y軸方向駆動の力は静電気力であるから、Y軸方向の変位量 $\Delta Y$ は、ヒンジ51の長さ $l$ 、シリコン梁52の長さ $L$ 、圧電体梁53の長さ $L'$ 、ヒンジ51およびシリコン梁52の厚さ $a$ 、ヒンジ51の幅 $w$ 、電極間のギャップ $g$ 、電位差 $V$ を用いて次式で表される。

【0025】

【数1】

$$\Delta Y = \frac{\epsilon_0 L^3 V^2}{g^2 w^3 E} \times (2L + 3L + 3L')$$

なお、 $\epsilon_0$  は誘電率、 $E$  は電界強度である。

【0026】上式より、 $Y$  軸方向の変位量を大きくするには、ヒンジの幅を小さくし、梁の長さを大きくすることが有効である。

【0027】シリコン梁52は、シリコン単結晶の異方性エッチングあるいは反応性イオンエッチング、イオンビームエッチング等でシリコンのアスペクト比の大きいエッチング方法、及び、犠牲層エッチングや不純物ドーブによるエッチングストップ等の方法を用いて形成される。 $Y$  軸駆動のための電極は、シリコン基板の電極部分及びシリコン梁に $n$ 型あるいは $p$ 型の不純物をドーブすることにより形成される。 $Z$  軸駆動のための圧電体梁53は、図5のように、1層の圧電体層とそれをはさむ2層の電極及び支持体層よりなるユニモルフ構造、あるいは2層の圧電体層とそれをはさむ3層の電極よりなるバイモルフ構造に限定されるものではなく、またこれらの製造方法には既知のフォトリソグラフィ技術、真空蒸着法やスパッタリング法等の成膜技術が用いられ、その方法は本発明を制限するものではない。

【0028】図5に示したような、本発明第2のカンチレバー型変位素子を用いたカンチレバー型プローブでは、 $Y$  方向の変位量を大きくすることが可能であり、かつ、 $Y$  方向駆動時の捻じれのない、信頼性の高い素子となる。

【0029】図7は本発明第3のカンチレバー型プローブの一例を示す斜視図であり、1は基板、71は可撓部、5はプローブ、72は下電極である。図に示したように可撓部71の自由端側の先端がプローブ5として形成されている。尚、本図は $Z$  方向変位手段として、静電力を用いる場合のものである。

【0030】基板1としては、半導体、金属、ガラス、セラミックス等の材料を用いることができるが、マルチに配列したプローブを作製する場合には、表面凹凸の小さい材料が好ましく、例えばコーニング#7059フュージョン、熔融石英更には表面を研磨した#7059、石英、シリコンウエハー等を用いることができる。

【0031】梁状の可撓部71は、可撓部分の一端が基板上に固定された片端固定の梁構造、すなわちカンチレバー構造体をなしており、かかるカンチレバーには少なくとも駆動のための機構及び配線、並びにプローブに電圧を印加するための配線領域が形成されている。

【0032】この可撓部71としては、変位駆動電極とプローブ取り出し電極を共通電極にする場合には、単層膜として形成できるが、電極を分離する場合には、電極間に絶縁層を挟んだ多層膜で形成する。このときプローブ5は可撓部71の自由端にプローブ取り出し電極と一体で形成される。このため、可撓部71の自由端側の形

状としては、少なくとも2辺による角を有している必要がある。更に、自由端の先端部は針状の突起を必要とするため、基板表面に対して反対の方向に傾斜させることが重要である。この形成方法としては、基板表面に傾斜部を有する凸部を形成し、続いて自由端先端部が凸部の傾斜部に掛かるように可撓部71を形成することによって得られる。

【0033】係るプローブユニットを用いれば、下電極72と可撓部71に電圧を印加することにより静電力で梁状の可撓部を基板面と直交する方向（ $Z$  方向）に撓ませ、プローブ位置を $Z$  方向に変位させることができる。

【0034】本素子を変位させる手段としては、本図のような静電力のほかに、圧電効果、バイメタル等の手段が適用されるが、変位量及び駆動電圧、制御性から好ましくは静電力、あるいは、圧電体バイモルフによる変位手段が用いられる。なお、変位手段が圧電体バイモルフの場合には下電極72は不要である。

【0035】本発明第3のカンチレバー型プローブの形成方法としては、従来公知の技術、例えば半導体産業で一般に用いられている真空蒸着法やスパッタ法、化学気相成長法等の薄膜作製技術やフォトリソグラフ技術及びエッチング技術を適用することができ、その作製方法は本発明を制限するものではない。

【0036】また、例えば、可撓部71が圧電体バイモルフ構成ならば、従来公知の製造方法により、電極及び圧電体をスパッタあるいは蒸着とフォトリソグラフ及びエッチング工程の繰り返しによりバイモルフ構造を形成する。

【0037】図7に示したような、本発明第3のカンチレバー型プローブでは、作製工程が簡単で、容易にプローブのマルチ化が可能であり、また生産性を向上でき、製造コストを低減できる。また、単結晶シリコンを用い、ドーパされたシリコンをプローブとした場合に生じた酸化による劣化がなく、かつ先端を鋭利に形成でき、再現性の良い安定な特性を得ることができる。

【0038】

【実施例】以下、本発明の実施例について説明する。

#### 【0039】実施例1

本実施例は、本発明第1のカンチレバー型変位素子に関連するものである。

【0040】本実施例では、図1に示した本発明第1のカンチレバー型変位素子を用いたカンチレバー型プローブを作製した。この作製方法を図8を用いて説明する。まず（100） $n$  型 $Si$  基板1に $LP-CVD$ 装置で後工程での $Si$  異方性エッチングのマスク層として $Si$  ナイトライド81を成膜し（図8（a）参照）、次に $LP-CVD$ 装置で $n$ -ドーパ $Polysilicon$ を成膜しレジスタパターンニング後イオンインプラ装置でドーパントとして $B$ あるいは $P$ を打ち込み、発熱体層3、3'を形成する（図8（b）参照）。同様に、 $LP-CVD$ 装置で $n$ -ド

ープPoly Siを前よりも厚く成膜しレジストパターンニング後インプラ装置でBあるいはPを打ち込み、発熱体層4、4'を形成する(図8(c)参照)。次に、トンネル電流検出用プローブ5とトンネル電流引き出し用の電極6を形成し、裏面のSiナイトライド81をパターンニングし、カンチレバー形成のための窓明けを行う(図8(d)参照)。最後に、異方性エッチングでSi基板1をエッチングし、Siナイトライド81を除去する(図8(e)参照)。発熱体層3、3'、4、4'のパターンとしては色々あるが、例えば図9(a)、

(b)のようにすることができる。

【0041】カンチレバーの駆動は、発熱体層3、3'、4、4'がカンチレバーの支持体2に対して対称に構成されているので、例えば全発熱体層に同一電流を流すことによって図1のX方向に、また発熱体層3、4のみに電流を流せばY方向に、また発熱体層3、3'のみに電流を流せばZ方向に駆動することができる。

【0042】次に上記カンチレバー型プローブを用いた走査型トンネル顕微鏡について説明する。

【0043】図10は、本発明による本実施例の走査型トンネル顕微鏡の概略図である。101は、上記カンチレバー型プローブ102を形成したシリコン基板、105はシリコン基板101をZ方向に駆動する粗動用圧電素子、114はZ方向粗動用圧電素子105及びカンチレバー型プローブ102を試料表面に接近させる接近機構、103は表面観察する導電性の試料で、104は試料103をXY方向に微動するXY微動機構である。

【0044】上記の走査型トンネル顕微鏡の動作を以下に説明する。接近機構114は、Z方向の移動ステージからなり、手動またはモーターにより、カンチレバー型プローブ102のプローブが試料103の表面にZ方向粗動用圧電素子105のストローク内に入るように接近させる。その際、顕微鏡を用いて、目視により接近の程度をモニターするか、もしくはカンチレバー型プローブ102にサーボをかけた状態でモーターにより自動送りを行い、プローブと試料間にトンネル電流が流れるのを検出した時点で接近を停止する。試料103の観察時には、バイアス回路106によりバイアス電圧をかけられた試料103とプローブとの間に流れるトンネル電流をトンネル電流検出回路107により検出し、Z軸方向サーボ回路110を通してプローブと試料表面の平均距離が一定となるようにカンチレバー型プローブ102をZ方向に制御している。その状態でカンチレバー型プローブ102をXY位置制御回路109でXY方向に走査することにより試料表面の微小な凹凸により変化したトンネル電流が検出され、それを制御回路112に取り込み、XY走査信号に同期して処理すればコンスタントハイトモードのSTM像が得られる。STM像は、画像処理、たとえば2次元FETなどの処理をしてディスプレイ113に表示される。その際、カンチレバー型プロ

ブ102のZ方向のクロストークが小さいので、装置の温度ドリフト、試料103の表面の凹凸、傾きが大きいと追従できなくなるため、Z方向粗動用圧電素子105を用いてトンネル電流検出回路107の信号をZ方向粗動駆動回路111を通して、0.01~0.1Hz程度の領域のフィードバックを行い、Z方向の大きな動きに追従するように制御している。また観察場所を変えるときは、試料側のXY微動機構104をXY微動駆動回路115によりXY方向に移動させ、所望の領域にプローブが来るようにして観察を行う。

【0045】この装置にて、試料103にHOPG(グラファイト)板を用いて表面観察を行なった。バイアス回路106にて200mVの直流電圧をプローブと試料の間に加え、この状態で試料に沿ってプローブを走査してトンネル電流検出回路107を用いて検出される信号より表面観察を行なった。スキャンエリアを0.05μm×0.05μmとして観察したところ、良好な原子像を得ることができ、STMの原理による動作が確認され表面観察動作が確認された。

【0046】次に、図1に示した本発明第1のカンチレバー型プローブを、同一基板上に複数個作製した集積化カンチレバー型プローブを用いた、情報処理装置について説明する。同一基板上に形成された上記集積化カンチレバー型プローブの模式図を図11に示す。基板1としてシリコン基板を用い、X-シフトレジスタ117、Y-シフトレジスタ118、静電容量、スイッチ素子、増幅器等を含んだ回路部119、プローブ電極5、カンチレバー120、マトリクス配線121などにより集積化カンチレバー型プローブが構成されている。122は信号線を接続するためのボンディングパッドである。このボンディングパッドは、基板1の一つの辺もしくは対向する二つの辺に配置する。これにより、ボンディングパッドと平行する方向に記録媒体を移動し記録再生を行う。

【0047】図11の実施形態は、シリコン基板を用いて駆動素子を一体に形成しているが、これはシリコン基板に限定されることはなく、サファイア基板上にシリコン薄膜をエピタキシャル成長させたウエハーを用いてもよいし、さらには石英基板上に成長したポリシリコン薄膜、固相エピ膜等あらゆる形態の半導体層及び基板を用いることができる。

【0048】図12に上記集積化カンチレバー型プローブを用いた情報処理装置のブロック構成図を示す。123は集積化カンチレバー型プローブ、124は集積化カンチレバー型プローブ123をXY面内に走査するアクチュエータ、125は走査回路である。126は記録媒体、127は集積化カンチレバー型プローブ123の各プローブ電極5がそれぞれ均等に記録媒体126に設置される様に記録媒体126の傾きを補正するアクチュエータ、128は傾き補正回路である。また、129はこ

これらの部材を支持する構造体である。

【0049】集積化カンチレバー型プローブ123の制御は、プローブヘッド制御回路130により行う。書き込みデータは符号器131aにより符号化され、プローブヘッド制御回路130に転送し、集積化カンチレバー型プローブ123を駆動し記録媒体126に書き込む。データ読出しを行う場合は、図示せぬプロセッサにより読出すべきアドレスを発生し、プローブヘッド制御回路130を駆動する。プローブヘッド制御回路130はこのアドレスに従い集積化カンチレバー型プローブ123より各プローブの信号を読出し復号器131bに転送する。復号器131bはこの信号からエラー検出またはエラー訂正を行いデータ出力する。

【0050】プローブ、媒体間の距離制御、及び集積化カンチレバー型プローブの傾き制御は、上記と同じように、プローブヘッド制御回路130により、各プローブ電極に流れるトンネル電流の情報を直接読出し、プローブ・媒体間距離制御回路132により基準位置からのずれを検出し、個々のプローブ電極のZ方向制御はカンチレバー駆動回路133により制御し、集積化カンチレバー型プローブの姿勢を正す必要がある場合は傾き補正回路128により行う。

【0051】図13に図12の書き込み・読出しのためのプローブヘッド制御回路130の詳細ブロック構成図を示す。

【0052】各プローブ電極をアクセスするタイミングは走査クロック134を基準に行う。個々の走査クロックを集積化カンチレバー型プローブのクロック信号CLK\_Yとし、さらにYアドレスカウンタ135に入力する。このYアドレスカウンタ135は、集積化カンチレバー型プローブのYシフトレジスタの段数と同一のカウント数を持つ。Yアドレスカウンタ135のキャリー出力は、集積化カンチレバー型プローブのクロック信号CLK\_Xとし、さらにXアドレスカウンタ136に入力する。このXアドレスカウンタ136は、集積化カンチレバー型プローブのXシフトレジスタの段数と同一のカウント数を持つ。これらX、Yアドレスカウンタのカウント出力をプローブアドレス137とする。

【0053】集積化カンチレバー型プローブからの読出し出力Voutはコンパレータ138に入力する。コンパレータ138は、Vref139を基準電圧として二値化する。この二値化出力は、プローブアドレス137により指定されるプローブ制御テーブル140の記録ユニットに書き込まれる。

【0054】プローブ制御テーブル140~142は、集積化カンチレバー型プローブのプローブ数と同数の記録ユニットで構成された一時保存メモリを1ページとし、1~数ページを持つ。各記録ユニットは、集積化カンチレバー型プローブから読出した記録データ論理値のほか、読出し、ON書き込み、OFF書き込み、または消去

の各動作を指示する駆動状態などの少なくとも6値の論理値を記録する。

【0055】集積化カンチレバー型プローブのアクセスに際しては、このプローブ制御テーブルの各ユニットの駆動状態値に従って対応するプローブ電極を制御するようにφr、φd、φw信号を生成する。

【0056】集積化カンチレバー型プローブよりデータの読出しを行う場合は、まずプローブ電極を記録媒体の所定の位置に走査する。次に、図示せぬホスト制御CPUによりデータバス、及びアドレスバス143を介してプローブ制御テーブル140~142のデータを読出すべきプローブのアドレスに対応する記録ユニットに読出し動作の駆動状態値を登録する。集積化カンチレバー型プローブの一連の読出し動作が終了した後、先に指定したプローブアドレスの記録ユニットの読出しデータ論理値を読出し、復号器131bによりエラー検出もしくはエラー訂正を行い読出し動作が完了する。

【0057】また、書き込みを行う場合は入力データを符号器131aにより符号化した後、プローブ制御テーブル140~142に符号語の論理値を駆動状態値として記録ユニットに登録する。この登録された論理データをもとに順次書き込み信号を集積化カンチレバー型プローブに転送する。

【0058】ここで、一つの記録ユニットはページ毎のアクセスサイクルに対し、連続して書き込み、または消去動作を登録しない。すなわち、一つのプローブ電極は連続して書き込み動作を許可せず、必ず読出し動作を行いながら書き込み消去が行われる。これはプローブ電極と記録媒体との間隔の制御を読出し時の信号振幅により制御するために必要である。

【0059】さらに、1ページ中の全ての記録ユニットに書き込み、または消去登録を行わない。すなわち、集積化カンチレバー型プローブのマトリックス配置された全てのプローブ電極が同時に書き込み動作を行うことはない。これは集積化カンチレバー型プローブが常に記録媒体に平行保持するように傾き制御するために必要である。

【0060】これらのプローブ電極のZ方向の制御及びプローブヘッドの傾き制御は、Vout信号より生成されるトンネル電流相当信号Jtと、φr、φd、φwの各信号より生成される信号属性、及びプローブアドレスとで構成されるプローブ制御信号群144を用いプローブ・媒体間距離制御回路132により行う。すなわち、プローブ・媒体間距離制御回路132はプローブ制御テーブルを参照し読出し動作状態にあるプローブの出力信号Voutをもとにカンチレバー駆動回路133及び傾き補正回路128を駆動する。

【0061】尚、本実施例で用いているカンチレバーはプローブ電極のほかに、熱駆動アクチュエータを有し、個々にプローブ電極・記録媒体間の距離制御が行えるよ

うになっている。また、これらのアクチュエータは、集積化カンチレバー型プローブに設けられた図示せぬ回路によりカンチレバー駆動回路133より送られた信号により駆動される。

【0062】上述のプローブ制御テーブルに基づいた書き込み・読出し制御方法を用いることにより、読出し状態におくプローブ電極の配置を自在に、かつ全てのプローブ電極が一樣な書き込み・読出し比率になるように制御することができる。この制御により書き込み・消去のデータに依らずに安定、高速かつ信頼性よくプローブのZ、Y

方向制御を行うことができる。

【0063】その結果、上記情報処理装置では、カンチレバーの駆動特性、トンネル電流検知特性等が大きく向上し、高速で安定な、更に信頼性の高い情報の記録、再生、消去を行うことができた。

#### 【0064】実施例2

本実施例は、本発明第1のカンチレバー型変位素子に関連し、実施例1の他の態様を示すものである。

【0065】本実施例で作製したカンチレバー型プローブの斜視図を図14に示す。実施例1と異なる点は、発熱体層3、3'、4、4'をドーパントPolySiに換えて、比較的高抵抗な金属例えばTa、W、Mo等を用い、また、カンチレバーの支持体2としてPolySiあるいはSiO<sub>2</sub>を用いたことである。カンチレバーの駆動は実施例1と同様、発熱体層3、3'、4、4'の電流制御により可能である。本実施例においても発熱体層のパターンは図9(a)、(b)のようにしても良い。

【0066】次に、実施例1と同様に、図10に示したような上記カンチレバー型プローブを用いた走査型トンネル顕微鏡で、試料103にHOPG(グラファイト)板を用いて表面観察を行なったところ、実施例1と同様に良好な原子像を得ることができた。

【0067】また、上記カンチレバー型プローブを、図11に示したように同一基板上に複数個形成して集積化カンチレバー型プローブを作製した。また、実施例1と同様に図12に示したような、上記集積化カンチレバー型プローブを用いた情報処理装置においても、実施例1と同様に高速で信頼性の高い情報の記録、再生、消去を行うことができた。

#### 【0068】実施例3

本実施例は、本発明第1のカンチレバー型変位素子に関連し、実施例1、2の他の態様を示すものである。本実施例では、図3に示した本発明第1のカンチレバー型変位素子を用いたカンチレバー型プローブを作製した。この作製方法を図15を用いて説明する。

【0069】まず(100)n型Si基板1にイオンインプラ装置でドーパントとしてBを打ち込み、炉で熱処理し電極層33を形成し、CVD装置で犠牲層となるSiO<sub>2</sub>層31をその上に形成する(図15(a)参

照)。その後、Au等の金属材料32を成膜パターニングする(図15(b)参照)。次に、LPCVD装置でノンドープPolySiを成膜し、レジストパターニング後、イオンインプラ装置でドーパントとしてBあるいはPを打ち込みノンドープ層2とドーパント層である発熱体層3、3'を形成する。更に、LPCVD装置でノンドープPolySiを成膜し、パターニングする(図15(c)参照)。トンネル電流検知用プローブ5と引き出し用電極6を形成し、レジストパターニング後カンチレバー下部のSiO<sub>2</sub>を除去するとカンチレバー型プローブが形成される(図15(d)参照)。発熱体層3、3'のパターンとしては色々あるが、例えば図9(a)、(b)のようにすることができる。

【0070】カンチレバーの駆動は、例えば発熱体層3、3'の電流制御により図3のY軸方向、また、カンチレバーの下面電極32とそれと対向してあるSi基板1上の電極33の間に適当なバイアスを印加すると電極間の静電力により、Z軸方向に駆動することが可能となる。

【0071】次に、実施例1と同様に、図10に示したような上記カンチレバー型プローブを用いた走査型トンネル顕微鏡で、試料103にHOPG(グラファイト)板を用いて表面観察を行なったところ、実施例1と同様に良好な原子像を得ることができた。

【0072】また、上記カンチレバー型プローブを、図11に示したように同一基板上に複数個形成して集積化カンチレバー型プローブを作製した。また、実施例1と同様に図12に示したような、上記集積化カンチレバー型プローブを用いた情報処理装置においても、実施例1と同様に高速で信頼性の高い情報の記録、再生、消去を行うことができた。

#### 【0073】実施例4

本実施例は、本発明第1のカンチレバー型変位素子に関連し、実施例1、2、3の他の態様を示すものである。本実施例では、図3に示した本発明第1のカンチレバー型変位素子を用いたカンチレバー型プローブを作製した。実施例3と異なる点は、発熱体層3、3'をドーパントPolySiに換えて、比較的高抵抗な金属例えばTa、W、Mo等を用い、また、カンチレバーの支持体2としてPolySiあるいはSiO<sub>2</sub>を用いたことである。カンチレバーの駆動は、実施例3と同様、発熱体層3、3'の電流制御によりY軸方向、カンチレバー下面の電極32とSi基板1上の電極33間のバイアス印加によりZ軸方向に行うことができる。本実施例においても発熱体層のパターンは図9(a)、(b)のようにしても良い。

【0074】次に、実施例1と同様に、図10に示したような上記カンチレバー型プローブを用いた走査型トンネル顕微鏡で、試料103にHOPG(グラファイト)板を用いて表面観察を行なったところ、実施例1と同様



に良好な原子像を得ることができた。

【0075】また、上記カンチレバー型プローブを、図11に示したように同一基板上に複数個形成して集積化カンチレバー型プローブを作製した。また、実施例1と同様に図12に示したような、上記集積化カンチレバー型プローブを用いた情報処理装置においても、実施例1と同様に高速で信頼性の高い情報の記録、再生、消去を行うことができた。

#### 【0076】実施例5

本実施例は、本発明第2のカンチレバー型変位素子に関連するものである。本実施例では、図5に示した本発明第2のカンチレバー型変位素子を用いたカンチレバー型プローブを作製した。この作製方法を図16を用いて説明する。

【0077】まず、第1に、(100)p型シリコン基板に、CVD法にてn型シリコンを10 $\mu$ m成長させシリコン基板1とする。その後、圧電梁53の部分のみイオン注入を行い、p型シリコン領域161とする。第2に、シリコン基板1上に駆動用、信号処理用のIC回路を作製する。第3に、シリコン基板1の両面に支持層55及びマスク層162となる窒化シリコンをCVD法にて成膜する(図16(a)参照)。第4に、基板裏面の窒化シリコン膜162をCF<sub>4</sub>ガスをを用いたドライエッチングによりパターニングし、Si基板を裏面から110℃に加熱した水酸化カリウム水溶液にて電解エッチング法にてp型シリコン部分をエッチングする(図16(b)参照)。第5に、Y軸駆動のための電極となる部分にイオン注入法にてp型シリコン領域を作製し、電極とする。第6に、下電極56a、圧電体54、上電極56b、トンネル電流用配線6及びその他の各配線を形成する。下電極56a、上電極56b、トンネル電流用配線6、及びその他の各配線は、リフトオフ法にてパターニングした後、スパッタリング法によりプラチナを1000Å成膜して形成する。圧電体54は、スパッタリング法によりZnOを3000Å成膜した後、レジストを用いた通常のフォトリソグラフ技術を用いてパターニングし、酢酸水溶液にてエッチングして形成する。第7に、トンネル電流用プローブ5をスピント法を用いて、銀、及びプラチナを真空蒸着法で成膜することにより形成する(図16(c)参照)。第8に、パターニングの後、C、ClF<sub>3</sub>、およびSF<sub>6</sub>ガスをを用いた反応性イオンエッチング法にてシリコン基板をエッチングし、基板を貫通させ、片持ち梁の形状とする(図16(d)参照)。

【0078】なお、支持層55となる基板表面の窒化シリコンは、ユニモルフの支持体として適したヤング率を持った材料が利用される。また、Z軸駆動のためのユニモルフは圧電体を2層にしたバイモルフでも良い。

【0079】本実施例のカンチレバー型プローブは、ヒンジ51の長さl=200 $\mu$ m、シリコン梁52の長さ

l=1000 $\mu$ m、圧電体梁53の長さl'=500 $\mu$ m、ヒンジ51の幅w=5 $\mu$ m、左右電極57とシリコン梁52との間隔g=2.5 $\mu$ mであり、左右電極にかかる電圧V=10Vとすると、Y軸方向の変位量 $\Delta Y$ は1 $\mu$ mであった。

【0080】次に、実施例1と同様に、図10に示したような上記カンチレバー型プローブを用いた走査型トンネル顕微鏡で、試料103にHOPG(グラファイト)板を用いて表面観察を行なったところ、実施例1と同様に良好な原子像を得ることができた。

【0081】また、上記カンチレバー型プローブを、図11に示したように同一基板上に複数個形成して集積化カンチレバー型プローブを作製した。

【0082】次に、上記集積化カンチレバー型プローブを用いた情報処理装置について説明する。

【0083】図17に本発明による本実施例の情報処理装置の主要部構成及びブロック図を示す。本図にもとづいて説明すると、記録再生ヘッド上には、本実施例による集積化カンチレバー型プローブが配置されている。これら複数のプローブ5は、一様に媒体と対向する様に配置してある。170は情報記録用の記録媒体、171は媒体とプローブとの間に電圧を印加するための下地電極、172は記録媒体ホルダーである。

【0084】前記記録媒体170層は、プローブ5から発生するトンネル電流により記録媒体表面の形状を凸型(Stauffer, Appl. Phys. Letters, 51(4), 27, July, 1987, p244参照)または凹型(Heinzelmann, Appl. Phys. Letters, Vol. 53, No. 24 Dec., 1988, p2447参照)に変形することが可能な金属、半導体、酸化物、有機薄膜、あるいは前記トンネル電流により電気的性質が変化(たとえば電気的メモリー効果を生ずる)する有機薄膜等よりなる。前記電気特性が変化する有機薄膜としては、特開昭63-161552号公報に記載された材料が使用され、ラングミュア・プロジェクト膜よりなるものが好ましい。

【0085】例えば石英ガラス基板の上に下地電極171として真空蒸着法によってCrを50Å堆積させ、さらにその上にAuを300Å同法により蒸着したものを、その上にLB法によってSOAZ(スクアリウム-ビス-6-オクチルアズレン)を4層積層したもの等を用いる。173は記録すべきデータを記録に適した信号に変調するデータ変調回路、174はデータ変調回路で変調された信号を記録媒体170とプローブ5の間に電圧を印加することで記録媒体170上に記録するための記録電圧印加装置である。プローブ5を記録媒体170に所定間隔まで近づけ、記録電圧印加装置174によって例えば3V、幅50nsの矩形パルス電圧を印加すると、記録媒体170が特性変化を起こし電気抵抗

の低い部分が生じる。X-Yステージ175を用いて、この操作をプローブ5で記録媒体170面上で走査しながら行うことによって情報の記録がなされる。図では示していないが、X-Yステージ175による走査の機構としては、円筒型ピエゾアクチュエータ、平行ばね、差動マイクロメータ、ボイスコイル、インテュオーム等の制御機構を用いて行う。

【0086】176はプローブ5と記録媒体170との間に電圧を印加して両者間に流れるトンネル電流を検出する記録信号検出回路、177は記録信号検出回路176の検出したトンネル電流信号を復調するデータ復調回路である。再生時にはプローブ5と記録媒体170とを所定間隔にし記録電圧より低い、例えば200mVの直流電圧をプローブ5と記録媒体170間に加える。この状態で記録媒体170上の記録データ列に沿ってプローブ5にて走査中に記録信号検出回路176を用いて検出されるトンネル電流信号が記録データ信号に対応する。従って、この検出したトンネル電流信号を電流電圧変換して出力してデータ復調回路177で復調することにより再生データ信号を得られる。

【0087】178はプローブ高さ検出回路である。このプローブ高さ検出回路178は記録信号検出回路176の検出信号を受け、情報ビットの有無による高周波の振動成分をカットして残った信号を処理し、この残りの信号値が一定になる様にプローブ5を上下動制御させるためx、z軸駆動制御回路179に命令信号を発信する。これによりプローブ5と媒体170との間隔が略一定に保たれる。

【0088】180はトラック検出回路である。トラック検出回路180はプローブ5で記録媒体170上を走査する際にプローブ5のデータがこれに沿って記録されるべき経路、あるいは記録されたデータ列（トラック）からのずれを検出する回路である。

【0089】以上のデータ変調回路173、記録電圧印加装置174、記録信号検出回路176、データ復調回路177、プローブ高さ検出回路178、x、z軸駆動制御回路179、トラック検出回路180で記録再生用回路181を形成する。

【0090】記録再生ヘッドにおいては、記録再生用回路181が記録媒体に対向する複数のプローブ及びその駆動機構それぞれに1つずつ設けられており、各プローブによる記録、再生、各プローブの変位制御（トラッキング、間隔調整等）等の要素を独立して行っている。

【0091】上述した実施例は記録、再生、消去を行う情報処理装置であるが、記録または再生のみの装置、または走査型トンネル電流検知装置等であっても本発明が適用可能であることは言うまでもない。

【0092】上記本発明第2のカンチレバー型変位素子を用いた情報処理装置では、高速で安定な、かつ信頼性の高い情報の記録、再生、消去を行うことができた。

#### 【0093】実施例6

本実施例は、本発明第3のカンチレバー型プローブに関連するものである。本実施例では、図7に示した本発明第3のカンチレバー型プローブを圧電バイモルフを用いて作製した。この作製方法を図18を用いて説明する。

【0094】まずシリコンウエハー基板1上に保護層182として膜厚200nmの窒化シリコン膜をLPCVD法により形成し、続いてフォトリソグラフィにより、保護層182に開口部を設けた後、水酸化カリウム水溶液を用いた異方性エッチングにより露出したシリコンを加工し、厚さ30μmのシリコンメンブレン183を形成した（図18（a）参照）。

【0095】次に保護層182上と下電極72を形成後に圧電体184、中電極185、圧電体186を順次形成した。このとき電極にはAuを、圧電体にはZnO薄膜を用い順次パターン形成しながら作製した。Au電極膜は真空蒸着法により0.2μm成膜し、ZnO圧電体膜はマグネトロンスパッタ法よりZnOターゲットを酸素とアルゴンの混合雰囲気中でスパッタし、200℃に加熱した前記シリコンウエハ上に0.3μm成膜した。パターンニングはフォトリソグラフィにより行った。エッチング液としてそれぞれAu電極はヨウ化カリウム水溶液を、ZnO膜は酢酸水溶液を用いた。ただし、Auと窒化シリコン膜の密着性を向上させる為、下電極72のAuを成膜する前にCrを50Å真空蒸着法により成膜した。なお、CrはCCl<sub>4</sub>：F<sub>2</sub>を用いてドライエッチングにて除去した。続いて銅を全面に真空蒸着法により5μm成膜し、フォトリソグラフィとエッチングによりパターン形成を行いエッジが傾斜した形状である凸部187を形成した（図18（b）参照）。

【0096】次に、圧電体186上と凸部187の傾斜部上に上電極188を形成し、圧電バイモルフを形成した。上電極188は面内方向に圧電体駆動電極とプローブ取り出し電極に分離されている。このとき電極には金を用い真空蒸着法により1.2μm成膜し、フォトリソグラフィとエッチングによりパターン形成を行いプローブ5を得た。このとき、凸部187の傾斜部内に自由端部の先端の角が入るように位置合わせした（図18（c）参照）。

【0097】次に圧電バイモルフ部をフォトリソグラフィーで保護した後、プラズマエッチングによりシリコンメンブレン183をエッチング除去し、続いて凸部187を硝酸水溶液で除去することにより、窒化シリコンの保護層182、下電極72、圧電体184、中電極185、圧電体186、上電極188及びプローブ5からなる幅100μm、長さ500μmの梁状の可撓部を有するカンチレバー型プローブを作製した（図18（d）参照）。

【0098】以上のようにして作製したカンチレバー型プローブの変位量を測定したところ、Z方向に0.2μm/vで変位することが分かった。更に、上記カンチレ

バー型プローブを走査型電子顕微鏡（SEM）を用いて観察したところ、先端が鋭利に形成されているプローブを確認した。尚、プローブの先端曲率半径は $0.08\mu\text{m}$ であった。

【0099】次に、実施例1と同様に、図10に示したような上記カンチレバー型プローブを用いた走査型トンネル顕微鏡で、試料103にHOPG（グラファイト）板を用いて表面観察を行なったところ、実施例1と同様に良好な原子像を得ることができた。

【0100】また、上記カンチレバー型プローブを、図11に示したように同一基板上に複数個形成して集積化カンチレバー型プローブを作製した。また、実施例1と同様に図12に示したような、上記集積化カンチレバー型プローブを用いた情報処理装置においても、実施例1と同様に高速で信頼性の高い情報の記録、再生、消去を行うことができた。

#### 【0101】実施例7

本実施例は、本発明第3のカンチレバー型プローブに関連し、実施例6の他の態様を示すものである。本実施例では、図7に示した静電力によりZ方向に駆動する本発明第3のカンチレバー型プローブを作製した。この作製方法を図19を用いて説明する。

【0102】まず、コーニング社製#7059フュージョンを基板1として用意する。続いて、基板1上にCrを $2000\text{\AA}$ 真空蒸着法により成膜し、フォトリソグラフィとエッチングによりパターン形成を行い下電極72を形成した（図19（a）参照）。

【0103】次に、銅を $4\mu\text{m}$ 真空蒸着法により全面に成膜し、フォトリソグラフィとAryオンエッチングによりパターン形成を行いエッジが傾斜した形状の凸部187を形成した。続いて、銅を真空蒸着法により全面に $2\mu\text{m}$ 成膜し、フォトリソグラフィとエッチングによりパターン形成を行い犠牲層190を形成した（図19（b）参照）。

【0104】次に、基板1及び犠牲層190上に中電極191をリフトオフ法を用いて形成した。リフトオフにはRD-2000N（日立化成社製）フォトレジストを用い、電極には金を膜厚 $2000\text{\AA}$ 真空蒸着法で形成した。続いて、中電極191上及び凸部187の傾斜部上に絶縁層192及びプローブ取り出し電極193をリフトオフ法により形成した。リフトオフにはRD-2000N（日立化成社製）フォトレジストを用い、絶縁層192には $\text{SiO}_2$ を膜厚 $5000\text{\AA}$ 、電極には金を膜厚 $5000\text{\AA}$ 真空蒸着法により形成した。このとき、凸部187の傾斜部内に自由端部の先端の角が入るように位置合せすることによりプローブ5を形成した（図19（c）参照）。

【0105】次に犠牲層190及び凸部187を硝酸水溶液で除去することにより、中電極191、絶縁層192、プローブ取り出し電極193、及びプローブ5から

なる幅 $100\mu\text{m}$ 、長さ $350\mu\text{m}$ の梁状の可撓部を有するカンチレバー型プローブを作製した（図19（d）参照）。

【0106】以上のようにして作製したカンチレバー型プローブの変位量を測定したところ、Z方向に $0.1\mu\text{m}/\text{V}$ で変位することが分かった。更に、上記カンチレバー型プローブをSEMを用いて観察したところ、先端が鋭利に形成されているプローブを確認した。尚プローブの先端曲率半径は $0.08\mu\text{m}$ であった。

【0107】次に、実施例1と同様に、図10に示したような上記カンチレバー型プローブを用いた走査型トンネル顕微鏡で、試料103にHOPG（グラファイト）板を用いて表面観察を行なったところ、実施例1と同様に良好な原子像を得ることができた。

【0108】また、上記カンチレバー型プローブを、図11に示したように同一基板上に複数個形成して集積化カンチレバー型プローブを作製した。また、実施例1と同様に図12に示したような、上記集積化カンチレバー型プローブを用いた情報処理装置においても、実施例1と同様に高速で信頼性の高い情報の記録、再生、消去を行うことができた。

#### 【0109】

【発明の効果】以上説明したように、本発明のカンチレバー型変位素子あるいはカンチレバー型プローブでは、以下の効果を有する。

（1）本発明第1のカンチレバー型変位素子は、熱駆動を行うことで、圧電体膜を用いないため、空気中の水分等の吸着による特性の変化あるいは劣化が発生しない。また、従来の圧電体膜のような柱状構造を有しないため、機械的強度や耐久性を高めることが可能となり、さらには、素子形成時の内部応力が低下し、カンチレバーの反りを低減することができる。また、これを用いたカンチレバー型プローブは、信頼性の高い検出素子となった。

（2）本発明第2のカンチレバー型変位素子では、図5に示したY方向の変位量を大きくすることができ、かつ、このとき素子に捻じれが発生しないため、これを用いたカンチレバー型プローブは、信頼性の高い広域な走査ができる検出素子となった。

（3）本発明第3のカンチレバー型プローブでは、作製工程が簡単で、容易にプローブのマルチ化が可能であり、また、生産性を向上でき、製造コストを低減できる。さらには、従来、単結晶シリコンを用い、ドーパされたシリコンをプローブとした場合に生じていた酸化による劣化がなく、かつ、先端をより鋭利に形成でき、再現性の良い安定な特性を得ることができる。

【0110】また、本発明による上記カンチレバー型プローブあるいは、これを同一基板上に複数集積してなる集積化カンチレバー型プローブを用いた本発明の走査型トンネル顕微鏡では高速かつ信頼性の高い像観察が可能

となる。

【0111】さらに、上記カンチレバー型プローブ、集積化カンチレバー型プローブを用いた本発明の情報処理装置は、高速で記録再生等を行うことができるとともに、エラーの発生が少ない信頼性の高い装置となる。

【図面の簡単な説明】

【図1】本発明第1のカンチレバー型変位素子を用いたカンチレバー型プローブの一例を示す斜視図である。

【図2】図1の各切断面での断面図である。

【図3】本発明第1のカンチレバー型変位素子を用いたカンチレバー型プローブの他の例を示す斜視図である。

【図4】図2の各切断面での断面図である。

【図5】本発明第2のカンチレバー型変位素子を用いたカンチレバー型プローブの一例を示す斜視図である。

【図6】図5の各切断面での断面図である。

【図7】本発明第3のカンチレバー型プローブの一例を示す斜視図である。

【図8】実施例1のカンチレバー型プローブの作製方法を説明するための図である。

【図9】本発明第1のカンチレバー型変位素子における発熱体層のパターンの一例を示した図である。

【図10】本発明による走査型トンネル顕微鏡の概略図の一例である。

【図11】本発明による集積化カンチレバー型プローブを模式的に示した図である。

【図12】本発明による情報処理装置のブロック構成図の一例である。

【図13】プローブヘッド制御回路の詳細ブロック構成図である。

【図14】実施例2のカンチレバー型プローブの斜視図である。

【図15】実施例3のカンチレバー型プローブの作製方法を説明するための図である。

【図16】実施例5のカンチレバー型プローブの作製方法を説明するための図である。

【図17】実施例5の本発明による情報処理装置のブロック構成図である。

【図18】実施例6のカンチレバー型プローブの作製方法を説明するための図である。

【図19】実施例7のカンチレバー型プローブの作製方法を説明するための図である。

【図20】従来の圧電体バイモルフからなるカンチレバー型変位素子の例である。

【図21】従来の圧電体バイモルフからなるカンチレバー型変位素子の駆動状態を示す図である。

【符号の説明】

- 1 シリコン基板
- 2 カンチレバーの支持体
- 3, 3', 4, 4' 発熱体層
- 5 プローブ

- 6 引き出し電極
- 31 SiO<sub>2</sub> 層
- 32, 33 静電駆動用電極
- 51 ヒンジ
- 52 シリコン梁
- 53 圧電体梁
- 54 圧電体
- 55 支持層
- 56a 下電極
- 56b 上電極
- 57 静電駆動用の左右電極
- 71 可撓部
- 72 下電極
- 81 Siナイトライドからなるマスク層
- 101 シリコン基板
- 102 カンチレバー型プローブ
- 103 試料
- 104 XY微動機構
- 105 Z方向粗動用圧電素子
- 106 バイアス回路
- 107 トンネル電流検出回路
- 109 XY位置制御回路
- 110 Z方向サーボ回路
- 111 Z方向粗動駆動回路
- 112 制御回路
- 113 ディスプレイ
- 114 接近機構
- 115 XY微動駆動回路
- 117 X-シフトレジスタ
- 118 Y-シフトレジスタ
- 119 回路部
- 120 カンチレバー
- 121 マトリクス配線
- 122 ボンディングパッド
- 123 集積化カンチレバー型プローブ
- 124 XYアクチュエータ
- 125 走査回路
- 126 記録媒体
- 127 傾き補正アクチュエータ
- 128 傾き補正回路
- 129 構造体
- 130 プローブヘッド制御回路
- 131a 符号器
- 131b 複合器
- 132 距離制御回路
- 133 カンチレバー駆動回路
- 134 走査クロック
- 135 Y-アドレスカウンタ
- 136 X-アドレスカウンタ
- 50 137 プローブアドレス

(13)

特開平5-284765

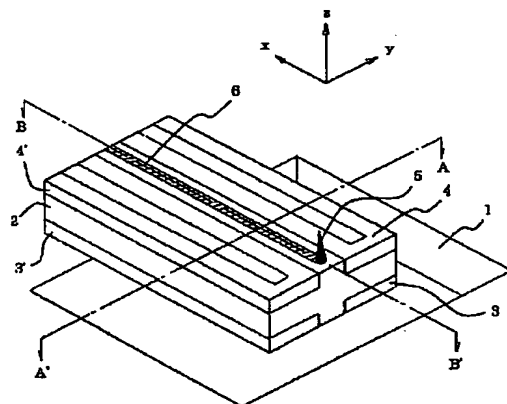
23

- 138 コンパレータ
- 139 基準電圧Vref
- 140~142 プローブ制御テーブル
- 143 アドレスバス
- 144 プローブ制御信号群
- 161 p型シリコン領域
- 162 窒化シリコンからなるマスク層
- 170 記録媒体
- 171 下地電極
- 172 記録媒体ホルダー
- 173 データ変調回路
- 174 記録電圧印加回路
- 175 X-Yステージ
- 176 記録信号検出回路
- 177 データ復調回路
- 178 プローブ高さ検出回路

24

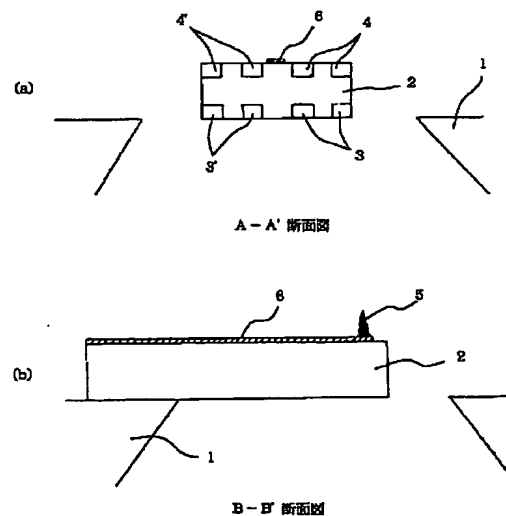
- 179 XZ軸駆動制御回路
- 180 トラック検出回路
- 181 記録再生用回路
- 182 保護層
- 183 シリコンメンブレン
- 184 圧電体
- 185 中電極
- 186 圧電体
- 187 凸部
- 10 188 上電極
- 190 犠牲層
- 191 絶縁層
- 193 プローブ取り出し電極
- 201 圧電体
- 202 電極

【図1】



- 1 シリコン基板
- 2 カンチレバーの支持体
- 3, 3', 4, 4' 発熱体層
- 5 プローブ
- 6 引き出し電極

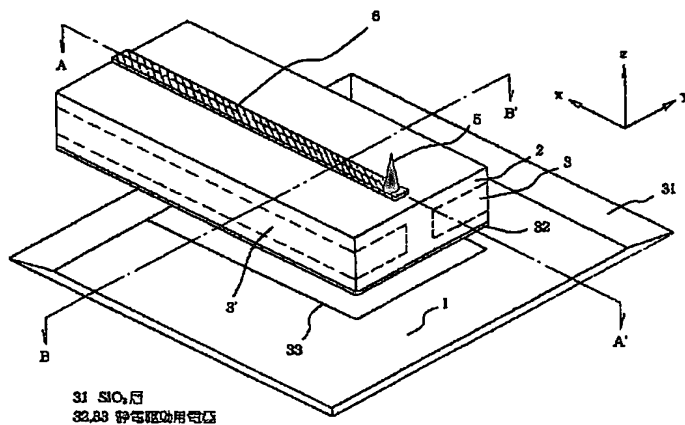
【図2】



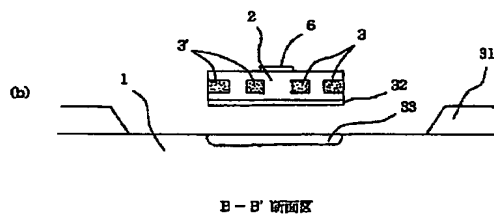
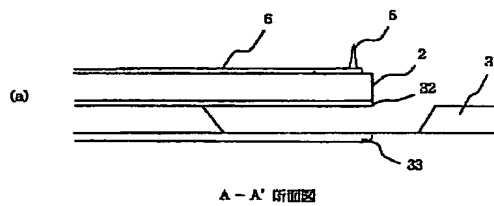
A-A' 断面図

B-B' 断面図

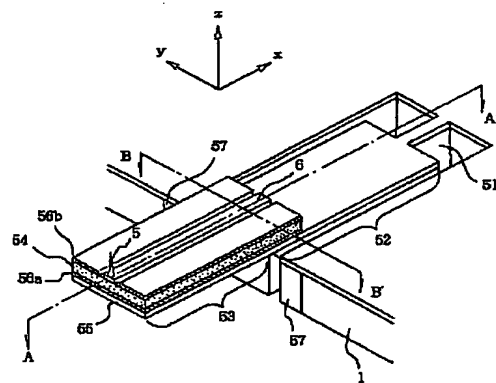
【図3】



【図4】

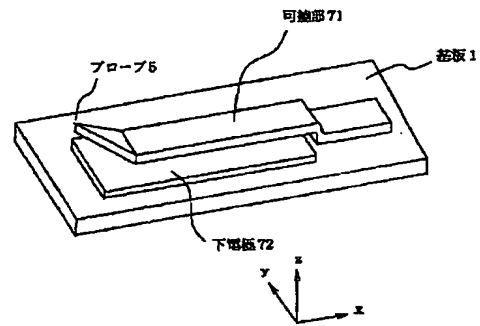


【図5】

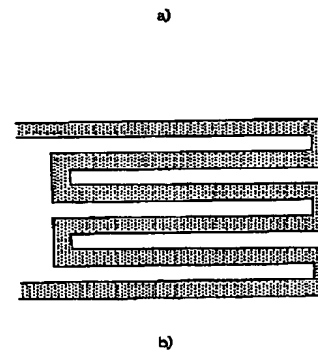


- 51 ヒンジ
- 52 シリコン膜
- 53 圧電体梁
- 54 圧電体
- 55 支持層
- 56a 下電極
- 56b 上電極
- 57 静電駆動用の左右電極

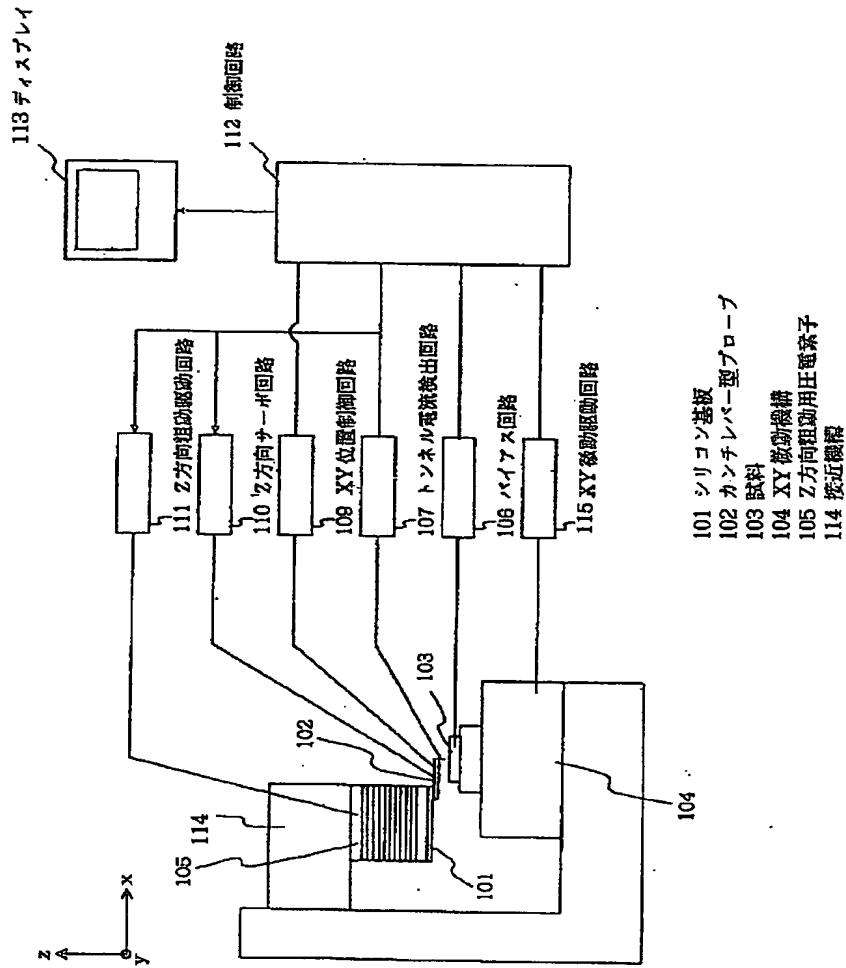
【図 7】



【~~例~~ 9】

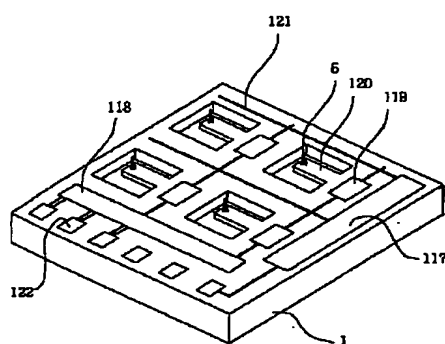


【図10】



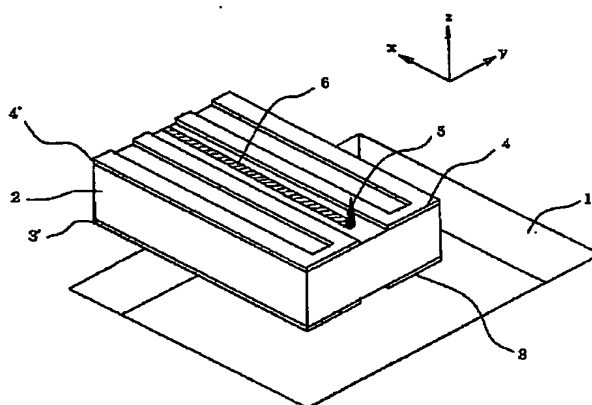


【図11】

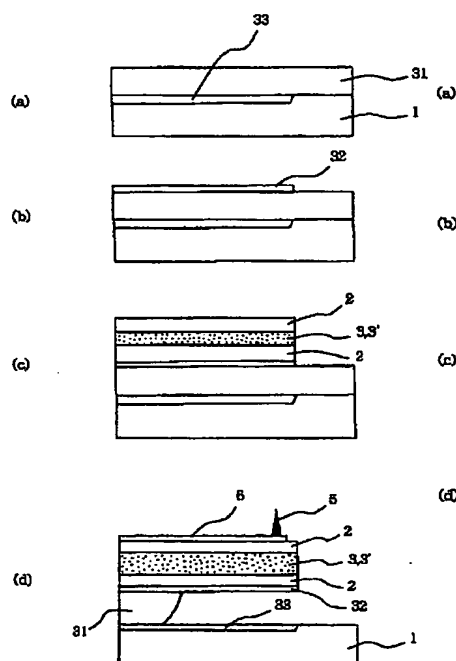


117 X-シフトレジスタ  
118 Y-シフトレジスタ  
119 接触部  
120 接触パッド  
121 マトリクス配線  
122 ボンディングパッド

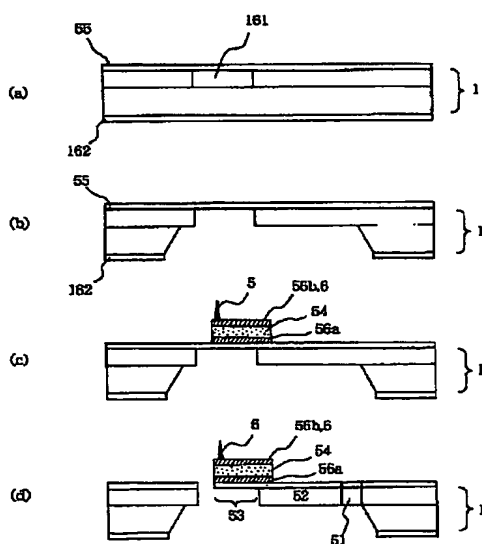
【図14】



【図15】

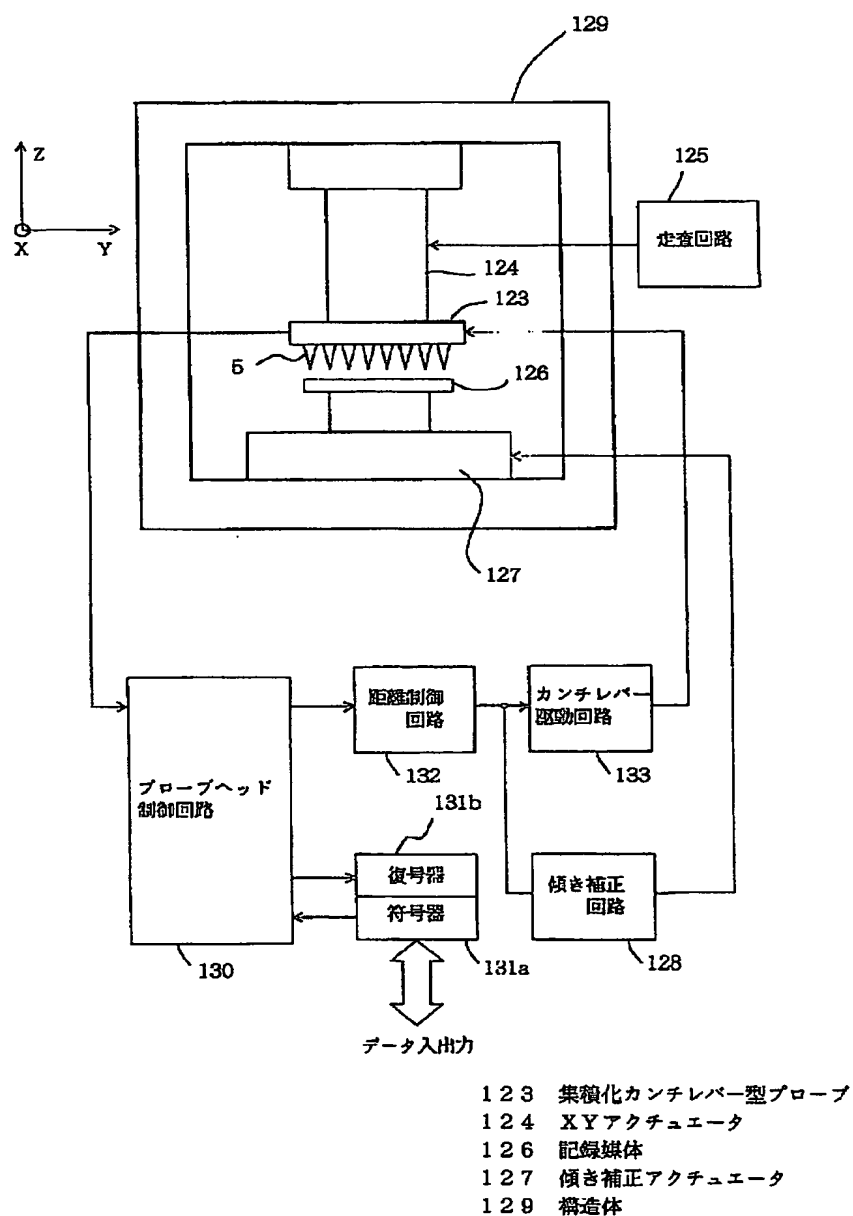


【図16】



161 P型シリコン領域  
162 酸化シリコンからなるマスク層

【図12】

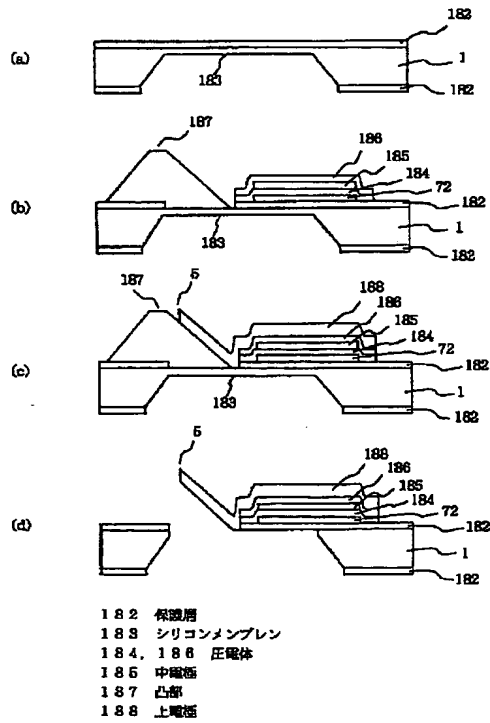


- 431—

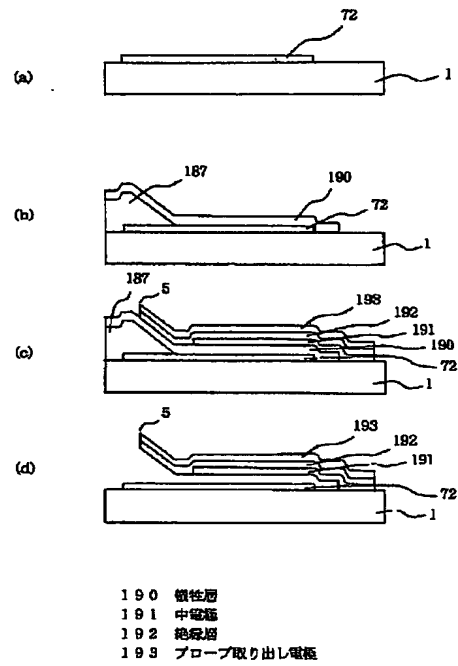
Fig. 1 is a block diagram of a recording/reproduction system. The system includes a CPU connected to a recording/reproduction unit (181). The unit contains a probe height detection circuit (178) and a track detection circuit (180). The probe height detection circuit (178) outputs a Z signal to an X-Z servo control circuit (179). The track detection circuit (180) outputs X1 signals to the X-Z servo control circuit (179). The X-Z servo control circuit (179) drives an X-Y stage (175) which holds a recording head (recording/reproduction head). The recording head is positioned over a recording medium (170) held by a holder (172). A probe (5) is in contact with the recording medium (170). A recording signal detection circuit (176) receives signals from the recording medium (170) and outputs a recording signal to a data recovery circuit (177). A recording voltage application circuit (174) receives a recording voltage from a recording voltage application circuit (174) and applies it to the recording medium (170). A data modulation circuit (173) receives data from the CPU and outputs a recording signal to the recording signal detection circuit (176). A coordinate system (X, Y, Z) is shown above the stage.

Figure 1 is a perspective view of a substrate 201. The substrate 201 is a rectangular block with a circuit pattern on its top surface. The circuit pattern includes several square pads and connecting lines. A strip 202 is shown being placed onto the substrate 201, specifically over the circuit pattern. The strip 202 is a long, thin, rectangular object with a textured surface.

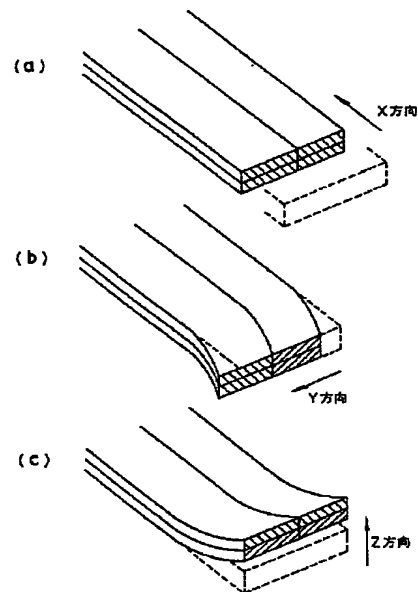
【図18】



【図19】



【図21】



---

フロントページの続き

(72)発明者 山本 敬介  
東京都人田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

(72)発明者 新庄 克彦  
東京都人田区下丸子3丁目30番2号 キヤ  
ノン株式会社内